

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-127556
(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

G02F 1/136
G09F 9/30
G09G 3/36

(21)Application number : 07-306595
(22)Date of filing : 31.10.1995

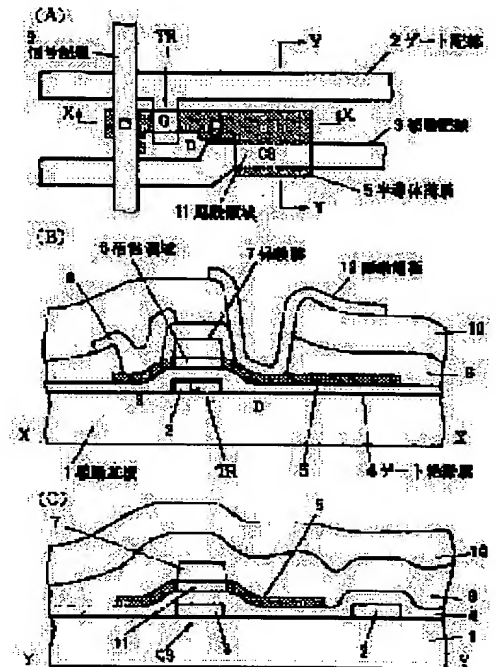
(71)Applicant : SONY CORP
(72)Inventor : IKEDA HIROYUKI

(54) DISPLAY DEVICE AND ITS DRIVE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve an electrode structure of an auxiliary capacitor and to rationalize a manufacturing process of a display device by constituting so that a prolonged area of a semiconductor thin film causes conductivity by receiving an action of potential of auxiliary wiring becoming one side electrode of the auxiliary capacitor through a gate insulation film and functions as the other electrode of the auxiliary capacitor.

SOLUTION: The semiconductor thin film 5 contains the prolonged area 11 overlapping on a part of the auxiliary wiring 3 through the gate insulation film 4, and constitutes the auxiliary capacitor CS consisting of a threefold structure among the auxiliary wiring 3, the coated insulation film 4 and the semiconductor film 5. Since the prolonged area 11 is coated by a protective film 7, no impurities are put into, and no low resistance formation is performed. In other words, the prolonged area 11 becomes the same composition as an active area 6, and contains only a little of the impurities of the same kind and the same density. The prolonged area 11 causes the conductivity by receiving the action of the potential of the auxiliary wiring 3 becoming one side electrode of the auxiliary capacitor CS through the gate insulation film 4, and functions as the other electrode of the auxiliary electrode CS.



LEGAL STATUS

[Date of request for examination] 16.01.2001
[Date of sending the examiner's decision of rejection] 02.09.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-127556

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
G 0 9 F 9/30	3 3 8		G 0 9 F 9/30	3 3 8 K
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 未請求 請求項の数4 F D (全 6 頁)

(21) 出願番号 特願平7-306595

(22) 出願日 平成7年(1995)10月31日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 池田 裕幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

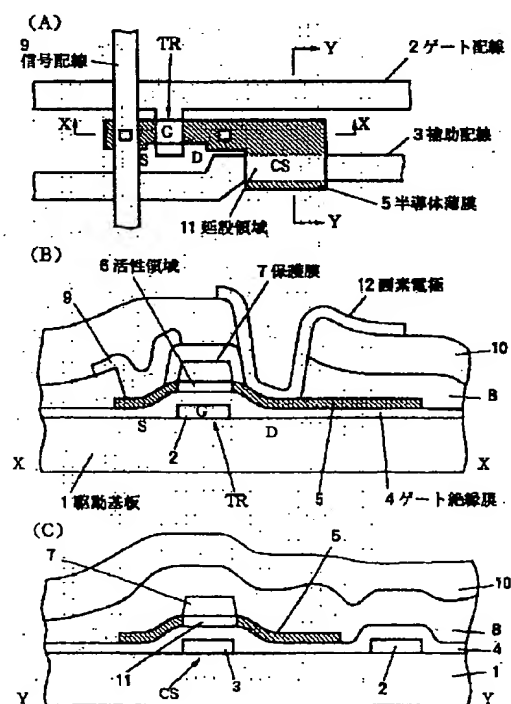
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】 (修正有)

【課題】 補助容量の電極構造を改善して表示装置の製造工程を合理化する。

【解決手段】 表示装置は互いに接合した駆動基板1及び対向基板とこの間隙に保持された電気光学物質とを備えたパネル構造を有する。駆動基板1は互いに同一層に属し且つ独立的にバタニング形成されたゲート配線2及び補助配線3と、両配線を被覆するゲート絶縁膜4と、このを介してゲート配線2の一部をまたぐ様にバタニング形成されゲート配線2と重なる部分で薄膜トランジスタTRの活性領域6を構成する半導体薄膜5と、活性領域6の一方側で半導体薄膜5に電気接続する信号配線9と、活性領域6の他方側で半導体薄膜5に電気接続する画素電極12とを備えている。



【特許請求の範囲】

【請求項1】 所定の間隙を介して互いに接合した駆動基板及び対向基板と該間隙に保持された電気光学物質とを備えたパネル構造を有し、
該駆動基板は互いに同一層に属し且つ独立的にバタニング形成されたゲート配線及び補助配線と、両配線を被覆するゲート絶縁膜と、該ゲート絶縁膜を介して該ゲート配線の一部をまたぐ様にバタニング形成され該ゲート配線と重なる部分で薄膜トランジスタの活性領域を構成する半導体薄膜と、該活性領域の一方側で該半導体薄膜に電気接続する信号配線と、該活性領域の他方側で該半導体薄膜に電気接続する画素電極とを備えた表示装置であって、
前記半導体薄膜は該ゲート絶縁膜を介して該補助配線の一部と重なる延設領域を含み、補助配線とゲート絶縁膜と半導体薄膜との三層構造からなる補助容量を構成し、前記延設領域は該ゲート絶縁膜を介して補助容量の一方の電極となる補助配線の電位の作用を受けて導電性を生じ補助容量の他方の電極として機能する事の特徴とする表示装置。

【請求項2】 前記延設領域は該活性領域と同一種で同一濃度の不純物が拡散されている事の特徴とする請求項1記載の表示装置。

【請求項3】 前記半導体薄膜と前記画素電極との間に少くともカラーフィルタ層が介在している事の特徴とする請求項1記載の表示装置。

【請求項4】 所定の間隙を介して互いに接合した駆動基板及び対向基板と該間隙に保持された電気光学物質とを備えており、該駆動基板は互いに同一層に属し且つ独立的にバタニング形成されたゲート配線及び補助配線と、両配線を被覆するゲート絶縁膜と、該ゲート絶縁膜を介して該ゲート配線の一部をまたぐ様にバタニング形成され該ゲート配線と重なる部分で薄膜トランジスタの活性領域を構成する半導体薄膜と、該活性領域の一方側で該半導体薄膜に電気接続する信号配線と、該活性領域の他方側で該半導体薄膜に電気接続する画素電極とを備えており、さらに前記半導体薄膜は該ゲート絶縁膜を介して該補助配線の一部と重なる延設領域を含み、補助配線とゲート絶縁膜と半導体薄膜との三層構造からなる補助容量を構成している表示装置の駆動方法であって、ゲート配線に閾値以上のゲート電圧を印加すると同時に信号配線を介して信号電圧を供給して該薄膜トランジスタを駆動し画素電極に電荷を書き込む一方、補助配線に該信号電圧との差が該閾値以上となる様な一定電圧を印加して該補助容量に電荷を蓄積する事の特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアクティブマトリクス型の表示装置及びその駆動方法に関する。より詳しく

は画素毎に設けられる補助容量の電極構成及びその駆動方法に関する。

【0002】

【従来の技術】 薄膜トランジスタを画素電極のスイッチング素子とするアクティブマトリクス方式の液晶表示装置は近年益々その需要が拡大しつつあり、大量に市場に供給されている。その普及に伴って、画素数の面でも高精細化が進んでいる。即ち、1画素当たりのサイズがより微細化される方向になっている。又、液晶表示装置は携帯型の製品にディスプレイとして応用される事が多い為、低消費電力化も進められている。これに従い、液晶表示装置の背面照明に用いるバックライトの光源も極力節約する傾向にある。画素の微細化とバックライトの節約化に伴ない、画面の明度が不足がちになる。これを解決する方策の1つは、画素面積のうち情報を表示する領域（即ち光が透過する領域）の割合（即ち開口率）を上げる事である。これにより画素サイズが縮小しても一定の明るさを維持でき、透過型の表示装置であってもバックライトの光強度を上げる必要がない。あるいは、画素を微細化しない場合であっても開口率が拡大された分、バックライトの輝度を下げても一定の明度を得る事ができ消費電力を抑制する事が可能である。

【0003】 ところで、一般にアクティブマトリクス方式の表示装置に形成される薄膜トランジスタの構造は逆スタガ型と呼ばれるものである。その基本構造は、先ず基板上にゲート配線と補助配線がバタニング形成されている。これらの配線の上にゲート絶縁膜を介して多結晶シリコン等からなる半導体薄膜が島状に形成されている。薄膜トランジスタのチャネル領域上には保護膜が設けられ、これをマスクにして不純物をイオンドープする事でソース領域及びドレイン領域を形成する。ソース領域側には信号配線が接続し、ドレイン側にはITO（Indium Tin Oxide）からなる画素電極がコンタクトしている。画素電極と補助配線の一部とがゲート絶縁膜を上下から挟持して補助容量を形成している。

【0004】

【発明が解決しようとする課題】 この様に画素電極やスイッチング用の薄膜トランジスタに加えて補助容量を集積形成した駆動基板と、対向電極やカラーフィルタ等が形成された対向基板とを互いに接合して、両者の間隙に液晶等の電気光学物質を保持すると、アクティブマトリクス型の表示装置が得られる。今後、画素開口率を高めていく為には駆動基板に対する対向基板の重ね合わせ精度を1～2μmにする必要がある。この様に機械的なアライメント精度を上げる考え方がある一方、カラーフィルタを対向基板側ではなく駆動基板側に作成し、重ね合わせ精度を緩和して、抜本的な画素開口率の改善を図るという考え方もある。この様に、カラーフィルタを駆動基板側に設けた場合、補助配線と画素電極との間の間隙

寸法がカラーフィルタを介在させた分だけ拡大し、補助容量の値が極端に低下してしまう。これを回避する方法は、例えば画素電極が接続している半導体薄膜を補助配線上まで拡張又は延設して、半導体薄膜がゲート絶縁膜を介して補助配線との間で補助容量を形成させる事が挙げられる。しかしながらこの場合、半導体薄膜を補助容量の一方の電極とする為には所定の電気伝導性を具備していなければならない。この為通常不純物を高濃度で半導体薄膜の延設領域又は拡張領域に注入する必要がある。しかしながらこの処理は駆動基板の製造工程を増やす事になり解決すべき課題となっている。本発明はこの様な課題に鑑みなされたものであり、工程数を増やす事なく半導体薄膜を成膜したままの状態補助容量の電極として用いる構造並びに駆動方法を提供する事を目的とする。

【0005】

【課題を解決するための手段】上述した従来の技術の課題を解決し本発明の目的を達成する為に以下の手段を講じた。即ち本発明にかかる表示装置は所定の間隙を介して互いに接合した駆動基板及び対向基板と該間隙に保持された電気光学物質とを備えたパネル構造を有する。該駆動基板は互いに同一層に属し且つ独立的にバタニング形成されたゲート配線及び補助配線と、両配線を被覆するゲート絶縁膜と、該ゲート絶縁膜を介して該ゲート配線の一部をまたぐ様にバタニング形成され該ゲート配線と重なる部分で薄膜トランジスタの活性領域を構成する半導体薄膜と、該活性領域の一方側で該半導体薄膜に電気接続する信号配線と、該活性領域の他方側で該半導体薄膜に電気接続する画素電極とを備えている。前記半導体薄膜は該ゲート絶縁膜を介して該補助配線の一部と重なる延設領域を含み、補助配線とゲート絶縁膜と半導体薄膜との三層構造からなる補助容量を構成する。特徴事項として、前記延設領域は該ゲート絶縁膜を介して補助容量の一方の電極となる補助配線の電位の作用を受けて導電性を生じ補助容量の他方の電極として機能する。前記延設領域は該活性領域と同一種で同一濃度の不純物が拡散されたものである。場合によっては画素電極と半導体薄膜との間に少くともカラーフィルタが介在する。

【0006】かかる構成を有するアクティブマトリクス型の表示装置は本発明に従って以下の様に駆動される。即ち、ゲート配線に閾値以上のゲート電圧を印加すると同時に信号配線を介して信号電圧を供給して該薄膜トランジスタを駆動し画素電極に電荷を書き込む一方、補助配線に該信号電圧との差が該閾値以上となる様な一定電圧を印加して補助容量に電荷を蓄積する。

【0007】多結晶シリコンもしくは非晶質シリコンからなる半導体薄膜は不純物を高濃度で注入しなくとも半導体の性質上一定の電圧を印加する事で電荷密度を何桁にも渡って増大させる事ができ、十分な導電性を付与可能である。本発明は逆スタガ構造の薄膜トランジスタを

採用したアクティブマトリクス表示装置において、補助配線上に設けた半導体薄膜の延設領域を低抵抗化する為の不純物注入を行なう事なく、電気的な作用で導電性を付与するものである。即ち、補助配線に対して半導体薄膜中に電荷を高濃度で誘起するに十分な電位を与える事で、半導体薄膜を補助容量の他方の電極とするものである。

【0008】

【発明の実施の形態】以下図面を参照して本発明の最良な実施形態を詳細に説明する。図1は本発明にかかるアクティブマトリクス型表示装置の基本的な構成を表わしている。(A)は1画素分の平面図である。(B)は(A)のX-X線に沿って切断した断面構造を表わしている。又(C)は(A)のY-Y線に沿った断面構造を表わしている。本表示装置は所定の間隙を介して互いに接合した駆動基板1及び対向基板(図示せず)とこの間隙に保持された液晶等の電気光学物質(図示せず)とを備えたパネル構造を有する。駆動基板1は互いに同一層に属し且つ独立的にバタニング形成されたゲート配線2及び補助配線3を備えている(A)。このゲート配線2及び補助配線3はゲート絶縁膜4により被覆されている(C)。さらにゲート絶縁膜4を介してゲート配線2の一部(即ちゲート電極G)をまたぐ様に半導体薄膜5がアイランド状にバタニング形成されている(A)。

(B)。この半導体薄膜5はゲート電極Gと重なる部分で薄膜トランジスタTRの活性領域6を構成する

(B)。活性領域(チャネル領域)6の直上には絶縁性の保護膜7がバタニング形成されている。この保護膜7をマスクとしてセルフアライメントで不純物を半導体薄膜5に注入する事により、逆スタガ型薄膜トランジスタTRのソース領域S及びドレイン領域Dが形成される。活性領域6は保護膜7で被覆されている為不純物は注入されない。なお、保護膜7はゲート電極Gを含むゲート配線2をマスクとした裏面露光によりセルフアライメントで形成される。この関係上ゲート配線2と同層に属する補助配線3の上にも保護膜7が残される事になる

(C)。かかる構成を有する薄膜トランジスタTRは第1層間絶縁膜8により被覆されている。第1層間絶縁膜8にはソース領域S及びドレイン領域Dに連通するコンタクトホールが開口している。信号配線9が第1層間絶縁膜8の上に列状にバタニング形成されており(A)、活性領域6の一方側に位置するソース領域Sに電気接続している。この信号配線9は第2層間絶縁膜10により被覆されている(B)。第2層間絶縁膜10の上に画素電極12がバタニング形成されており、活性領域6の他方側に位置するドレイン領域Dにコンタクトホールを介して電気接続している。

【0009】半導体薄膜5はゲート絶縁膜4を介して補助配線3の一部と重なる延設領域11を含んでおり

(A)、補助配線3とゲート絶縁膜4と半導体薄膜5と

の三層構造からなる補助容量CSを構成する(C)。この延設領域11は前述した様に保護膜7で被覆されている為、不純物が注入されず低抵抗化が図られていない。換言すると延設領域11は活性領域6と同一組成となっており、同一種で同一濃度の不純物を僅かに含むのみである。この延設領域11はゲート絶縁膜4を介して補助容量CSの一方の電極となる補助配線3の電位の作用を受けて導電性を生じ、補助容量CSの他方の電極として機能する(C)。

【0010】引き続き図1を参照して本発明にかかる表示装置の製造方法を詳細に説明する。先ずガラス等からなる駆動基板1の上にTaをスパッタリング法で300nm成膜する。これをバタニングしゲート配線2、補助配線3及び周辺駆動回路内の引き回し配線に加工する。次に、プラズマCVD法によりSiN_xを400nmの厚みで成膜しゲート絶縁膜4を形成する。さらにプラズマCVD法で非晶質シリコンからなる半導体薄膜5を50nmの厚みで成膜する。この様に本例ではゲート絶縁膜4及び半導体薄膜5はプラズマCVD法により連続成膜可能である。続いてエキシマレーザ光を照射し非晶質シリコンを多結晶シリコンに転換する。その後プラズマCVD法によりSiO_xを350nmの厚みで半導体薄膜5上に成膜する。このSiO_xの上にフォトレジストを塗布し、遮光性を有するゲート配線2及び補助配線3をマスクとしてセルフアライメントで駆動基板1の裏面から露光する。これにより、フォトレジストはゲート配線2及び補助配線3と同一形状にバタニングされる。バタニングされたフォトレジストをマスクとしてSiO_xをエッチングし、保護膜7にバタニングする。この結果、保護膜7はゲート配線2及び補助配線3と同一形状に加工される事になる。この後半導体薄膜5を島状にバタニングする。この島状ボタンには前述した延設領域11が含まれる。半導体薄膜5をバタニングする際同時にその上の保護膜7の不要部分もエッチングにより除去する。この結果保護膜7はゲート電極Gの直上で活性領域6の部分のみと補助配線3の直上で延設領域11の部分のみに残される事になる。即ち本製造方法では裏面露光を利用したバタニングを行なう関係上、保護膜7が活性領域6の上と延設領域11の上に残される事になる。この後保護膜7をマスクとして不純物(例えば砒素)を1×10¹⁵/cm²のドーズ量でイオンドーピングし、薄膜トランジスタTRのソース領域S及びドレイン領域Dを形成する。この結果、保護膜7の直下に位置する活性領域6には不純物がイオンドーピングされない。同様に、保護膜7の直下に位置する延設領域11にも不純物は注入されず導電率は低いままの状態である。この様にして得られた逆スタガ型薄膜トランジスタTRをPSG等からなる第1層間絶縁膜8で被覆する。さらにこの第1層間絶縁膜8にウェットエッチングでコンタクトホールを開口する。次いでアルミニウムを600nmの厚みでスパッタリ

ング法により成膜し、所定の形状にバタニングして信号配線9に加工する。この信号配線9を同じくPSG等からなる第2層間絶縁膜10で被覆する。この第2層間絶縁膜10にコンタクトホールを開口した後、その上にITOを140nmの厚みでスパッタリング法により成膜した。このITOを所定の形状にバタニングして画素電極12に加工する。以上により、アクティブマトリクス型表示装置の駆動基板が完成する。この後、対向電極を有する対向基板を所定の間隙を介して駆動基板1に接合し、この間隙に液晶等の電気光学物質を注入する。

【0011】図2は、図1に示した1画素分の等価回路図である。図示する様に信号配線9が列状にバタニング形成される一方、互いに同層のゲート配線2及び補助配線3が行方向に沿って平行にバタニング形成される。信号配線9とゲート配線2との交差部に画素が配置される。この画素は微細な液晶セルLCとこれをスイッチング駆動する薄膜トランジスタTRと補助容量CSとからなる。液晶セルLCは画素電極12と対向電極22との間に保持された液晶等の電気光学物質からなる。薄膜トランジスタTRのゲート電極Gはゲート配線2に連続している。又ソース領域Sは信号配線9に接続している。ドレイン領域Dは画素電極12に接続している。さらに補助容量CSは補助配線3を一方の電極とし延設領域11を他方の電極とする。両電極の間に誘電体としてゲート絶縁膜が介在する事になる。前述した様に延設領域11は低抵抗化されておらず薄膜トランジスタTRと同様な絶縁ゲート構造となっている。

【0012】引き続き図2を参照して本発明にかかる表示装置の駆動方法を説明する。ゲート配線2に薄膜トランジスタTRの閾値V_{th}以上のゲート電圧VGを印加すると同時に、信号配線9を介して信号電圧V_{SI}Gを供給して薄膜トランジスタTRを駆動し画素電極12に電荷を書き込む。一方、補助配線3に信号電圧V_{SI}Gとの差が閾値V_{th}以上となる様な一定電圧V_{CS}を印加して補助容量CSに電荷を蓄積する。

【0013】図3にこの一定電圧V_{CS}と信号電圧V_{SI}Gとの関係を示す。グラフから明らかな様に両者の間には常に閾値V_{th}以上の電位差が設けられている。半導体薄膜は不純物を高濃度で注入しなくとも半導体の性質上一定の電圧を印加する事で電荷密度を何桁にも渡って増加させる事が可能である。本発明はこの点を利用して逆スタガ構造の薄膜トランジスタを備えた表示装置において、補助配線上に設けた半導体薄膜に導電性を付与する為の不純物注入を行なう事なく、一方の電極となる補助配線に半導体薄膜の電荷を高濃度で誘起するに十分な電位を与える事でこれを補助容量の他方の電極としている。

【0014】図4は本発明にかかる補助容量の動作試験結果を示すグラフである。ゲート電圧VGを15Vに設定し、信号電圧V_{SI}Gを6±4Vの矩形波としてい

る。そして補助配線の電位VCSを8V、10V、15Vと変えて画素電極の保持電位を測定したものである。カーブAはVCS=15Vの場合の画素電極電位変化を示し、カーブBはVCS=10Vにおける画素電極電位の変化を示し、カーブCはVCS=8Vの場合における画素電極電位の変動を示している。グラフから明らかな様にVCS=8V、10Vでは半導体薄膜の延設領域が導電性を持っていない為補助容量に蓄積された電荷の量が少なく、その結果入力矩形波に対して画素電極電位の減衰が大きい。これに対しVCS=15Vでは半導体薄膜の延設領域が十分電極として機能している為、補助容量に蓄積された電荷の量が増大し、画素電極電位が良好に保持されている。

【0015】図5は補助容量の参考例を示す等価回路であり、図2に示した等価回路と対応する部分には対応する参照番号を付して理解を容易にしている。この参考例では半導体薄膜の延設領域11は予め高濃度で不純物が注入されており十分低抵抗化されている。従って十分電極として機能し補助配線3との間で通常の補助容量CSを形成する。即ち、この参考例における補助容量CSは本発明にかかる補助容量と異なりゲート絶縁構造とはなっていない。しかしながら延設領域11に不純物を注入する為には追加プロセスが必要となり工程が煩雑化する。これに対して本発明では成膜されたままの状態の延設領域をそのまま電極に利用できる為製造プロセス上有利である。

【0016】図6は図5に示した参考例にかかる補助容量CSの動作波形を示すグラフである。この参考例では信号電圧VSI Gの中心レベルと略同等の一定電位VCSを補助配線に印加すれば良い。

【0017】最後に、図7は本発明にかかる表示装置の発展形態の一例を図1の(B)に示した構造と同様であり、対応する部分には対応する番号を付して理解を容易にしている。駆動基板1に対向基板23が互いに接合しており、両者の間隙に液晶24が保持されている。特徴事項として、青緑青のいつれかに選択的に着色されたカラーフィルタ層15が半導体薄膜5や信号配線9より上層に形成され、カラーフィルタ層15の上に平坦化層16を介して画素電極12が形成されている。この様に、カラーフィルタ層15を画素電極12と半導体薄膜5の間に介在させても、本発明では何ら補助容量CSを損なうことがない。

【発明の効果】以上説明した様に、本発明によれば、補助容量の電極として機能させる半導体薄膜に不純物を注入する工程を行なわなくても、補助配線の電位を十分高く与えてやる事により半導体薄膜中の電荷密度が増大し容量電極として十分に機能する。これにより、画素電極の電位を十分に保持する事が可能である。

【図面の簡単な説明】

【図1】本発明にかかる表示装置の基本的な構成を示す平面図並びに断面図である。

【図2】本発明にかかる表示装置の1画素分を示す等価回路図である。

【図3】本発明にかかる表示装置の動作波形図である。

【図4】本発明にかかる表示装置の画素電極電位の経時変動を示すグラフである。

【図5】アクティブマトリクス型表示装置の参考例を示す等価回路図である。

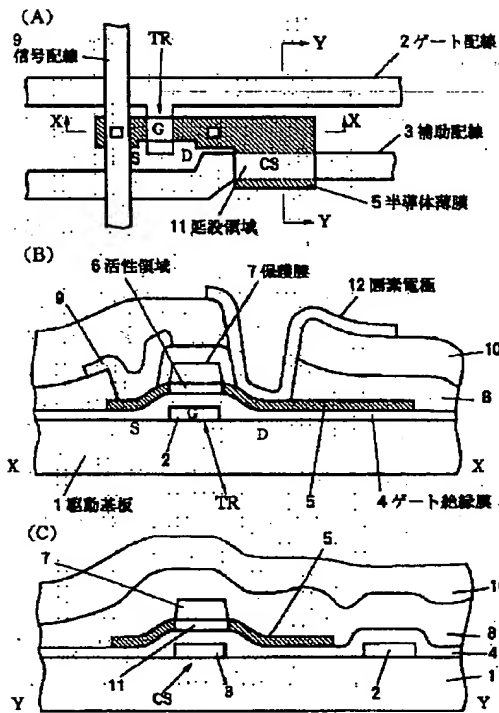
【図6】参考例の動作波形図である。

【図7】本発明にかかる表示装置の他の例を示す断面図である。

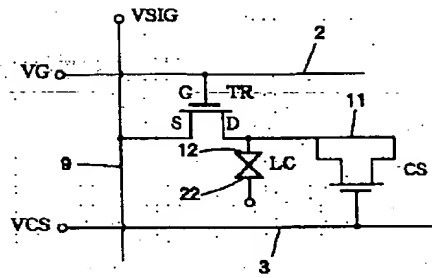
【符号の説明】

- 1 駆動基板
- 2 ゲート配線
- 3 補助配線
- 4 ゲート絶縁膜
- 5 半導体薄膜
- 6 活性領域
- 7 保護膜
- 8 第1層間絶縁膜
- 9 信号配線
- 10 第2層間絶縁膜
- 11 延設領域
- 12 画素電極
- 15 カラーフィルタ層
- 16 平坦化層
- 22 対向電極
- 23 対向基板
- 24 液晶
- TR 薄膜トランジスタ
- CS 補助容量
- G ゲート電極
- S ソース領域
- D ドレイン領域

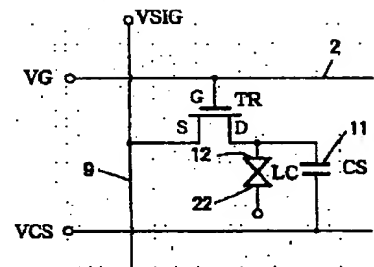
【図1】



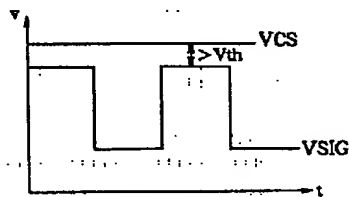
【図2】



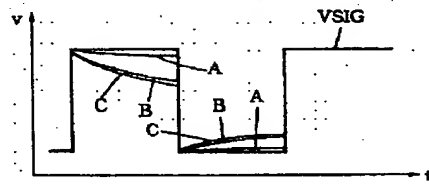
【図3】



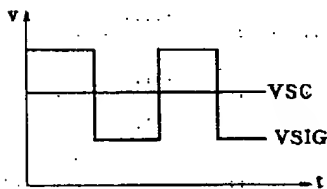
【図4】



【図5】



【図6】



【図7】

